

# **FREESCALE KOMUNIKAČNÍ PROCESORY**

## **1 Trocha historie:**

Freescale Semiconductor, Inc. byla založena v roce 2004 v Austinu v Texasu jako samostatná společnost, jelikož po více jak 50 byla součástí Motoroly. Dnes figuruje ve více jak 30 zemích světa. Je to celosvětový výrobce polovodičových součástek. Již více než 17 miliard těchto součástek si našlo uplatnění a můžeme je najít všude kolem nás. Tyto polovodiče můžeme najít v automobilech, v počítačových sítích, v mobilních telefonech, v domácích spotřebičích a v dalších odvětvích. Tato společnost v roce 2006 prodala své produkty v hodnotě 6,4 miliardy USD.

### **1.1 Freescale Česká republika**

Společnost Freescale Polovodiče navázala na dlouholetou tradici vývoje špičkových technologií v Rožnově pod Radhoštěm a v roce 1995 zde otevřela aplikační vývojové centrum.

## **2 Signálové procesory FREESCALE**

Tyto procesory lze rozdělit do třech skupin:

### **• DSP563XX**

Celá rodina DSP56300 je založená na DSP56300 jádru. Pokročilé návrhové rysy, které dramaticky zvyšují výkon, zjednodušují konstrukci a snižují náklady.

### **• 56800/E - Digital Signal Controllers (DSC)**

Pokročilé hybridní kontrolery (DSPs-MCUs) nabízejí DSP výkon a snadné použití ke kontrole funkce mikrořadičů.

### **• StarCore™**

StarCore-based DSP rodina nabízí velkou kanálovou hustotu při neměnění se systémové flexibilitě, rozšiřitelnosti a inovaci. Výrobci mohou tak přispět zařízeními, které budou rychlejší s delší dobou použitelnosti a nižšími provozními náklady.

### **2.1 DSP563XX**

Rodina DSP56300 nabízí bohatou sadu instrukcí a nízký ztrátový výkon, dále dobrou rychlost a množství bezdrátových, telekomunikačních a multimediálních produktů. DSP56300 obsahuje 24 bitové adresování, zásobník instrukcí a DMA. Dále nabízí 100 MMACS ( Million Multiply Accumulate Cycles per Second ) používající vnitřního kmitočtu 100Mhz a 3-3,6V. Tyto procesory jsou určeny k použití v telekomunikačních aplikacích, jako např. audio-video-data konference, zvukové aplikace, kontrola, digitální zpracování signálů.

## 2.1.1 DSP56301

DSP56301 je členem rodiny DSP56300 programovatelných CMOS digitálních signálových procesorů. Tato rodina užívá vysoce účinný jediný hodinový cyklus za instrukční motor. Významným rysem této architektury je 24-bitové adresování, zásobník instrukcí a DMA. DSP56301 nabízí 80/100 MIPS používající vnitřních 80/100 MHz hodin v 3.0–3.6 V.

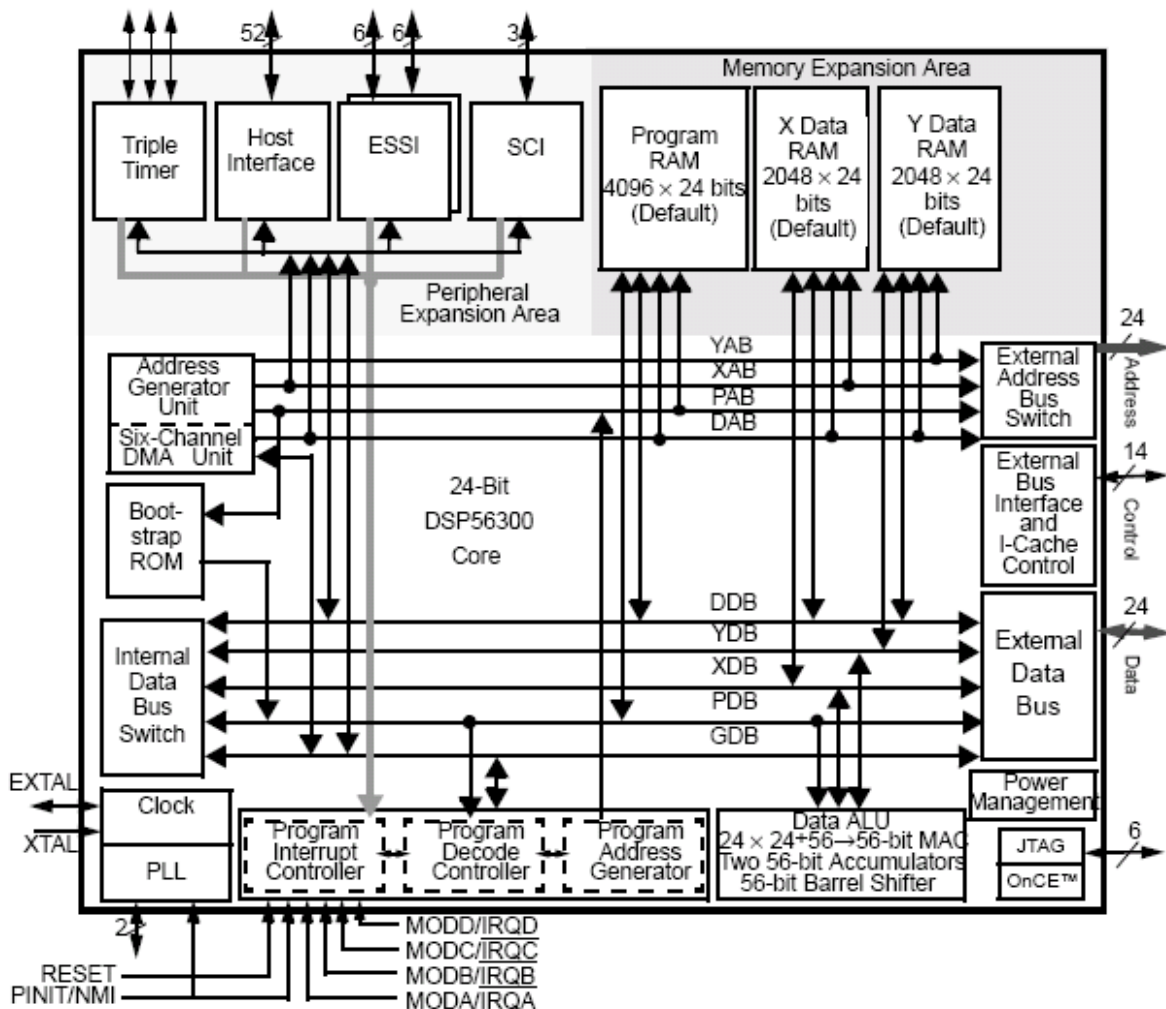


Figure 1. DSP56301 Block Diagram

### Vysoce účinné DSP56300 jádro

- 80/100 miliony instrukcí za sekundu (MIPS) s 80/100 MHz hodinami v 3.0–3.6 V
- Strojový kód kompatibilní s DSP56000 jádrem s paralelním instrukčním souborem
- Datová Aritmeticko Logická Jednotka (Data ALU) s plně zřetězeným 24x24 bitovým paralelním MAC (Multiplier Accumulator), 56 bitový paralelní posouvač ( rychlý posun a normalizace, generace bitového toku a syntaktické analýzy ), podmíněné ALU instrukce a 24 bitová nebo 16 bitová aritmetická podpora pod softwarovou kontrolou.
- Program Control Unit (PCU) s Position Independent Code (PIC) podpora, adresovací režimy pro DSP aplikace (včetně okamžitých kompenzací), kontrolér vnitřního zásobníku instrukcí a rychlé auto-return přerušení.

- Přímý vstup do paměti (DMA) se šesti DMA kanály doprovázený vnitřními a externími přístupy; jeden-, dva-, a trojrozměrné přenosy (včetně kruhového vyrovnávání); a spouštění z přerušovacích linek a všech periferních zařízení
- Phase Lock Loop (PLL) dovolí změnu málovýkonového Divide Factor (DF) bez ztrát uzamknutí a výstupních hodin s nesouměrnou eliminací.
- Hardwarová podpora pro ladění programu včetně čipové emulace

#### Vnitřní periferní zařízení

- 32 - bitová paralelní PCI/Universal Host Interface (HI32), PCI Rev. 2.1 vyhovující s glueless rozhraním jako ostatní DSP563xx sběrnice nebo ISA rozhraní požadující jen 74LS45 style buffers
- Dvě zvětšená synchronní sériová rozhraní (ESSI), každý s jedním přijímačem a třemi vysílači.
- Sériové komunikační rozhraní (SCI) s přenosovou rychlostí generátoru.
- Trojitá časovací jednotka
- Až 42 programovatelných input/output pinů

#### Vnitřní paměť

- 1024-4096 x 24-bit Programovací RAM (optional configurations) s 1024 x 24-bit
- 2048/3072 x 24-bit X data RAM (optional configuration)
- 2048/3072 x 24-bit Y data RAM (optional configuration)
- 3K x 24-bit bootstrap ROM

#### Externí rozšiřující paměť

- Datová rozšířená paměť k dvěma 16Mx24 bitů v 24 bitovém módu nebo dvou 64Kx16 bitů v 16 bitovém módu.
- Programová rozšířená paměť k jednomu 16Mx24 bitů v 24 bitovém módu nebo 64Kx16 bitů v 16 bitovém módu.
- Externí port pro rozšíření paměti
- Logika pro rozhraní SRAM
- Vnitřní DRAM kontroler pro rozhraní DRAM

Product (of Parts)	Core - Performance MMACS	Core - Operating Frequency - Max(MHz)	Čachr (kByte)	Internal RAM (Byte)	Addressable External Memory (Byte)	Serial Interface - Type	Bus Frequency - Max(MHz)	External Bus Width (bit)	Timers - Number of Timers
DSP56301 (7)	100,8	100,8	1	24000	96000000	SSI,SCI	100,8	24	3,-
DSP56303 (8)	100	100	1	24000	1500000	SSI,SCI	100	24	3,-
DSP56309 (8)	100	100	1	102000	1500000	SSI,SCI	100	24	3,-
DSP56311 (4)	150	150	1	384000	1500000	SSI,SCI	150	24	3
DSP56321 (11)	200,275, 220,240	200,275,220, 240	1	576000	1500000	SSI,SCI	275,240,220, 200	24	3
DSP56362 (5)	120	120	1	14000	48000000	SAI,SHI	120	24	1,-
DSP56364 (2)	-	-	-	-	-	SAI,SHI	100	8	-
DSP56366 (4)	120	120	1	69000	48000000	SAI,SHI	120,12	24	-0,1
DSP56367 (7)	-	-	-	-	-	SAI,SHI	150	24	-
DSP56371 (7)	180	180	-	264000	-	SAI,SHI	180	24	2
DSP56374 (6)	150	150	-	54000	-	SAI,SHI	150	24	3



Figure 2. Produkt 56802

## 2.2 56800/E - Digital Signal Controllers (DSC)

### 2.2.1 DSP56852

DSP56852 patří do rodiny DSP56800E Digital Signal Controllers (DSC), kombinuje pracovní výkon DSP a funkčnost mikrořadiče se sadou periferních zařízení na jednom čipu. Tyto zařízení jsou zvláště užitečné pro nenáročné internetové a klientské aplikace jako telefonie, přenosná zařízení, internetový zvuk, ID čtečky, zvukové detektory, bezpečnostní zařízení, zvukové alarmy. Jádro DSP56800E je založené na Harvard architektuře skládající se z tří prováděcích jednotek, které běží souběžně a dovolují provádět až šest operací za instrukční cyklus. Mikroprocesor dovolí přímou generaci kódu pro DSP a MCU aplikace. Instrukční soubor je dobře použitelný pro C kompilátory, umožňující rychlý vývoj řídicích aplikací.

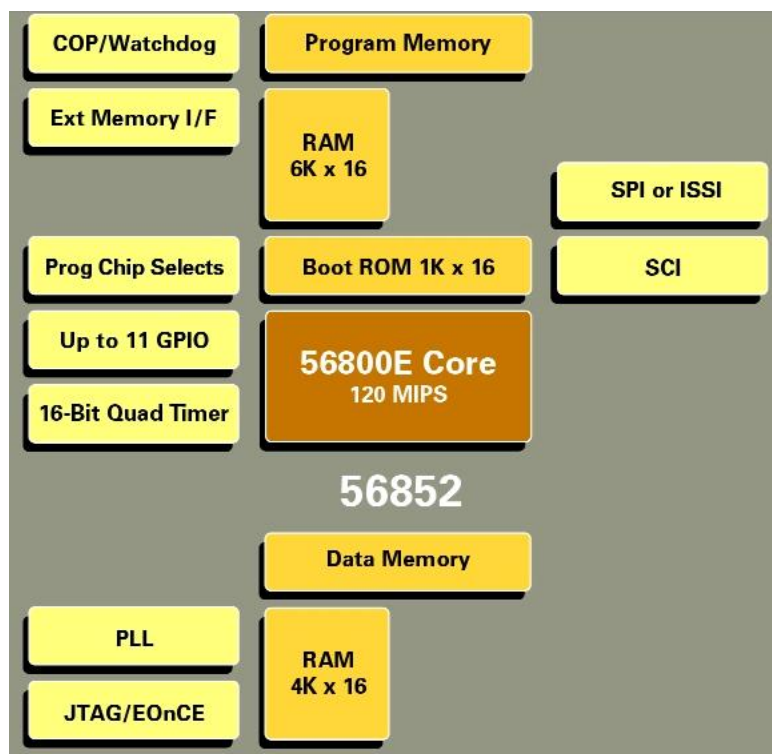


Figure 3. Blokové schéma 56802

### Jádro

- 16-bitové jádro s dvojitou Harvardskou architekturou
- 120 milionu instrukcí za sekundu (MIPS) a 120Mhz kmitočet jádra
- Jednoduchý cyklus  $16 \times 16$  - bitový paralelní Multiplier - Accumulator (MAC)
- Čtyři 36- bitový akumulátory včetně bitového rozšíření
- 16 - bitový obousměrný posunovač
- Paralelní instrukční soubor s jedinečnými DSP adresovými režimy
- Tři vnitřní adresové sběrnice a jedna externí adresová sběrnice
- Čtyři vnitřní datové sběrnice a jedna externí datová sběrnice
- Čtyři hardwarové úrovně přerušení
- Pět softwarových úrovní přerušení
- Účinný C kompilátor a místní proměnná podpora
- Softwarový podprogram a zásobník přerušení s hloubkou omezenou jen paměti

### Paměť

- Harvardská architektura povolí až tři současné přístupy do programu a datové paměti
- Čipová paměť zahrnuje:
  - 6K  $\times$  16 - bitová programová SRAM
  - 4K  $\times$  16 - bitová datová SRAM
  - 1K  $\times$  16 - bitová boot ROM

### Periferie pro DSP56852

- 16-bitový čtyř časovač se dvěma externími piny
- Jedno sériové komunikační rozhraní (SCI)
- Jedno sériové periferní rozhraní (SPI) nebo zlepšené synchronní rozhraní (ISSI)
- Přerušení
- Časovač
- JTAG/Enhanced On-Chip Emulation (EOnCE), real-time debugging
- 81-pin MAPBGA svazek
- Až 11 GPIO

### Energetické informace

- Velkokapacitní CMOS s 3,3V, TTL - kompatibilní digitální vstupy
- Režimy WAIT a STOP

## **2.2.2 DSP56F812**

56F801 je členem rodiny procesorů 56800. Kombinuje na jednom čipu pracovní výkon DSP a funkčnost mikrořadiče se sadou periferních zařízení a vytváří tak extrémně ekonomické řešení. Díky jeho nízké ceně je 56F801 pro mnoho aplikací. Tento procesor obsahuje mnoho periferních zařízení které jsou užitečné pro aplikace jako řízení pohybu, chytré spotřebiče, krokové motory, kodéry, tachometry, koncové vypínače, automobilová kontrola, tlumení hluku, průmyslová regulace, automatizace.

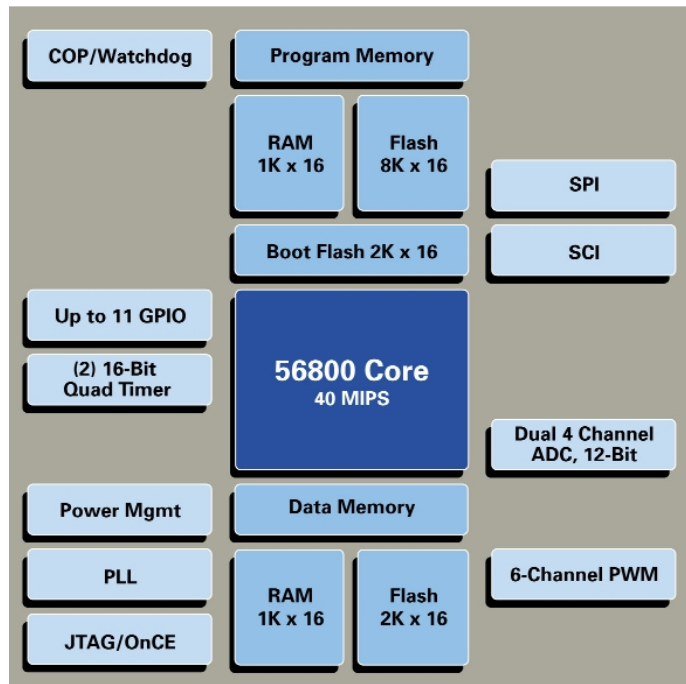


Figure 4. Blokové schéma 56F801E

### Jádro

- 16-bitové jádro s dvojitou Harvardskou architekturou
- 40 miliónů instrukcí za sekundu (MIPS) a 80Mhz kmitočet jádra
- Jednoduchý cyklus  $16 \times 16$  - bitový paralelní Multiplier - Accumulator (MAC)
- Dva 36- bitový akumulátory včetně bitového rozšíření
- 16 - bitový obousměrný posunovač
- Paralelní instrukční soubor s jedinečnými DSP adresovými režimy
- Tři vnitřní adresové sběrnice a jedna externí adresová sběrnice
- Čtyři vnitřní datové sběrnice a jedna externí datová sběrnice
- Účinný C kompilátor a místní proměnná podpora
- Softwarový podprogram a zásobník přerušení s hloubkou omezenou jen paměti

### Paměť

- Harvardská architektura povolí až tři současné přístupy do programu a datové paměti
- Čipová paměť zahrnuje levné high-volume flash řešení :
  - 8K  $\times$  16 bit Programová Flash
  - 1K  $\times$  16-bit Programová RAM
  - 2K  $\times$  16-bit Datová Flash
  - 1K  $\times$  16-bit Datová RAM
  - 2K  $\times$  16-bit Boot Flash

### Periferie pro 56F801

- Pulzně šířkový modulátor (PWM) se šesti PWM výstupy, dvěma chybovými vstupy
- Dva 12-bitové AD převodníky, Ad převodník a PWM mohou být synchronizovány
- Čtyřnásobný časovač: Timer D
- Sériové komunikační rozhraní (SCI) se dvěma piny
- Sériové periferní rozhraní (SPI)
- Externí resetování

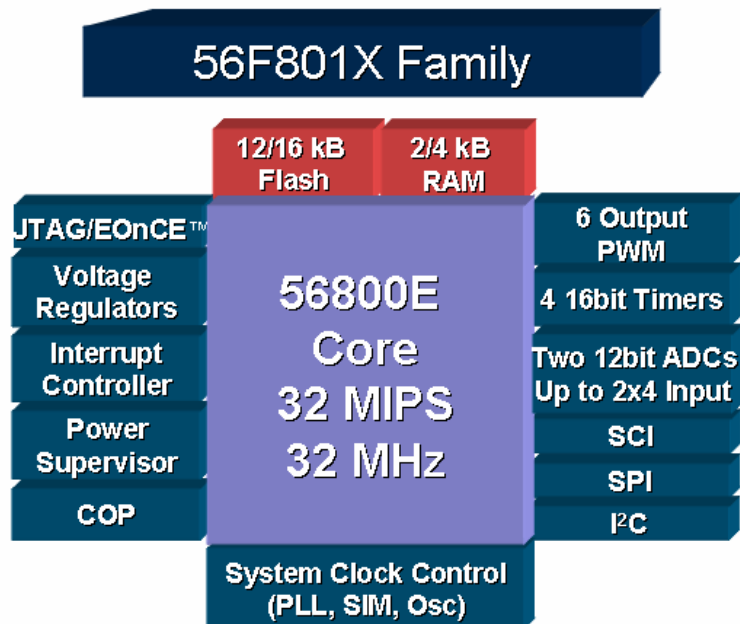
- Externí přerušení
- JTAG/EONCE ladicí programové rozhraní pro real – time

#### Energetické informace

- Velkokapacitní CMOS s 5V tolerancí
- Režimy WAIT a STOP
- ADC chytré řízení výkonu
- Každá periferie může být vyřazena a zmenšit tak spotřebu

### 2.2.3 56F8013

56F8013 je členem rodiny procesorů 56800E. Kombinuje na jednom čipu pracovní výkon DSP a funkčnost mikrořadiče se sadou periferních zařízení a vytváří tak extrémě ekonomické řešení. Díky jeho nízké ceně je 56F8013 pro mnoho aplikací. Tento procesor obsahuje mnoho periferních zařízení které jsou užitečné pro aplikace jako řízení pohybu, domácí spotřebiče, invertory, chytré senzory, bezpečnostní systémy, řízení výkonu a lékařské monitorovací aplikace.



**Packages: 32LQFP**

Figure 5. Blokové schéma 56F8013

#### Jádro

- 16-bitové jádro s dvojitou Harvardskou architekturou
- 32 miliónů instrukcí za sekundu (MIPS) a 32Mhz kmitočet jádra
- Jednoduchý cyklus 16 × 16 - bitový paralelní Multiplier - Accumulator (MAC)
- Dva 36- bitový akumulátory včetně bitového rozšíření
- 32 - bitový aritmetický a logický multibitový posunovač
- Paralelní instrukční soubor s jedinečnými DSP adresovými režimy
- Tři vnitřní adresové sběrnice
- Čtyři vnitřní datové sběrnice
- Účinný C kompilátor a místní proměnná podpora

- Softwarový podprogram a zásobník přerušení s hloubkou omezenou jen paměti

### Paměť

- Dvojitá Harvardská architektura povolí až tři současné přístupy do programu a datové paměti
- Zabezpečení Flash paměti k neoprávněným přístupům do interní Flash
- Čipová paměť:
  - 16KB Programová Flash
  - 4KB Programová RAM
  - EEPROM

### Periferie pro 56F8013

- Pulsně šířkový modulátor (PWM) se šesti PWM výstupy
  - Až 96 Mhz PWM
  - 15 bitové rozlišení
  - Čtyři programovatelné chybové vstupy s programovatelným číslicovým filtrem
  - Dvojitý buffer PWM registr
- Dva nezávislé 12-bitové AD převodníky (ADC)
  - 2 x 3 kanálové vstupy
  - AD převodník může být synchronizován PWM a hodinami
  - Vzorkovací kmitočet až 2,67MSPS
  - 8 slovní vyrovnávací registry
  - ADC chytré řízení výkonu
- Jeden 16 - bitový víceúčelový čtyřnásobný časovač (TMR)
  - Až 96Mhz
  - Čtyři nezávislé 16-bitové časovače
  - Až 12 pracovních režimů
- Jedno sériové komunikační rozhraní (SCI)
  - Úplný duplex nebo jednovodičové operace
- Jedno sériové periferní rozhraní (SPI)
  - Plný duplex
  - Máster a slave režimy
- Až 26 univerzálních I/O (GPIO) pinů s 5V tolerancí
- Integrovaný reset při zapnutí
- Phase Lock Loop (PLL) poskytne vysokorychlostní hodiny
- Hodinové zdroje:
  - Čipový relaxační oscilátor
  - Externí zdroj hodin
- Čipové regulátory pro digitální a analogové obvody
- JTAG/EONCE ladicí programové rozhraní pro real - time

### Energetické informace

- Velkokapacitní CMOS s 5V tolerancí
- Režimy WAIT a STOP
- ADC chytré řízení výkonu
- Každá periferie může být vyřazena a zmenšit tak spotřebu



## 2.3 StarCore™

### 2.3.1 MSC8101

MSC8101 je jeden z prvních procesorů založených na SC140 jádru. Tento čip obsahuje čtyři ALU jednotky spolu s 512KB pamětí. Komunikace v procesoru je zařízena pomocí 64 bitové systémové sběrnice, dále je zde 16 kanálový DMA řadič a jednotka SIU (System Integration Unit). Díky čtyřem ALU jednotkám může MSC8101 vykonávat až čtyřnásobné operace v jednom cyklu. 60 x kompatibilní sběrnice rozhraní usnadní spojení s hlavními systémovými architekturami. MSC8101 nabízí 1500 MMACS výkonu použitím vnitřních hodin 300 MHz a 1.6 V jádro a 3.3 V pro nezávislý input/output (I/O).

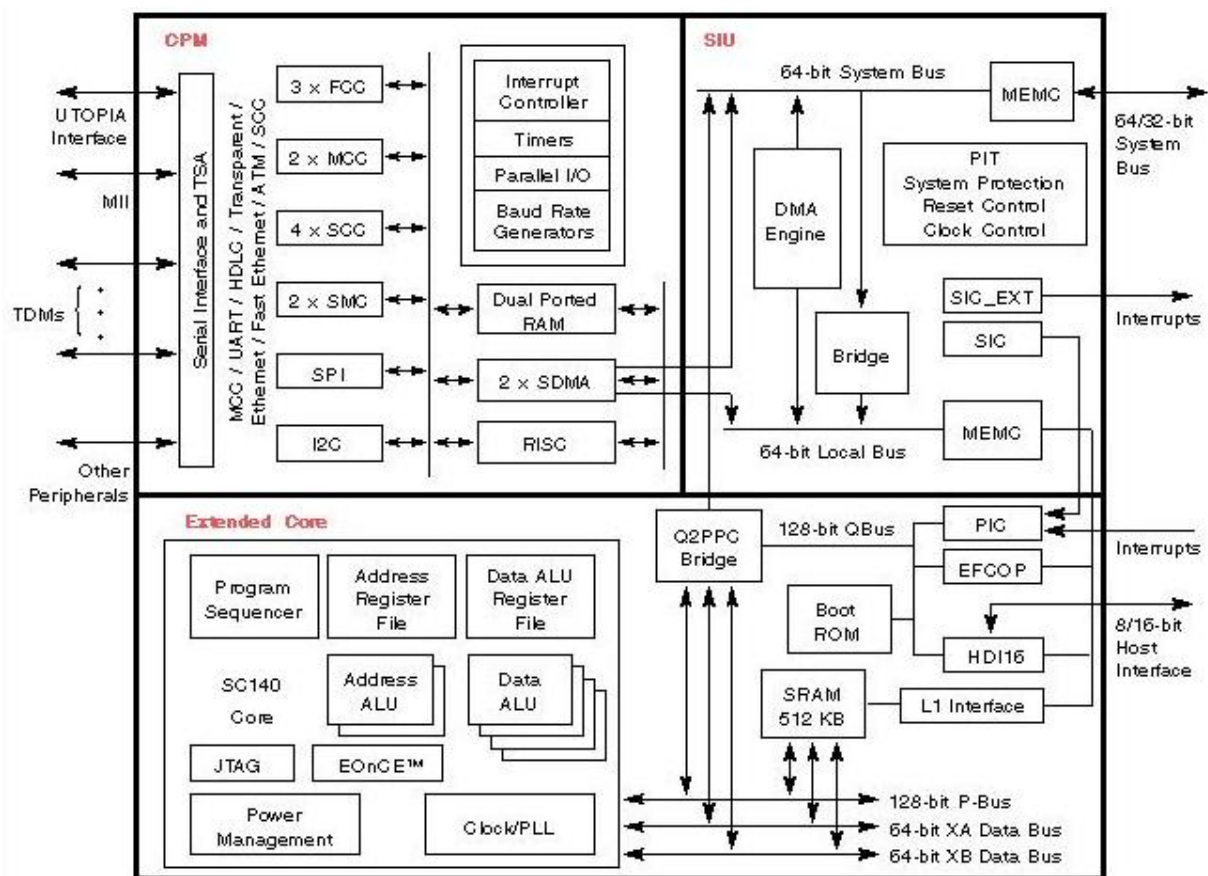


Figure 6. Blokové schéma MSC8101

#### Jádro SC140 jádro

- Architektura byla optimalizována pro účinné C/C++ kódové sestavení
- Čtyři 16 - bitové ALU a dva 32 - bitový AGU
- 1200 DSP MMACS běh v 300 MHz
- Velmi nízký ztrátový výkon
- Proměnná délka výpočet (VLES)
- JTAG

#### Komunikace modul procesoru (CPM)

- 155 Mbps ATM rozhraní (včetně AAL 0/1/2/5)
- 10/100 Mbit Ethernet rozhraní

#### 64 - nebo 32 - sběrnice

- Glueless rozhraní až 60x- kompatibilních sběrnicových systémů
- Multi-master podpora

#### Zvětšený filtrační koprocessor (EFCOP)

- Běží v 250/275/300 MHz a poskytuje 250/275/300 MMACS výkon

#### Programovatelná paměť

- Kontrola až osmi bank z vnější paměti
- (UPM) dovolující glueless rozhraní k různým pamětem (SRAM, DRAM, EPROM, a FLASH paměť) a další uživatelská periferní zařízení

#### Velká vnitřní SRAM

- 256K 16 - bitových slov (512 KB)
- Jednotný program a konfigurovatelný datový prostor
- Adresovatelná word a bajt

#### DMA kontroler

- 16 DMA kanály, FIFO

#### Velmi nízký příkon

- Oddělené napájení pro vnitřní logiku (1.6 V) a pro I/O (3.3 V)

#### Výrobní technologie

- 0.13 mikronová technologie